

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-190419

(43)Date of publication of application : 21.07.1998

(51)Int.Cl.

H03K 5/00

B41J 2/44

H03K 3/02

H03K 3/78

(21)Application number : 08-350242

(71)Applicant : CANON INC

(22)Date of filing : 27.12.1996

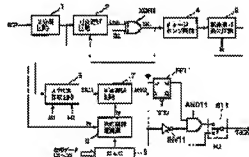
(72)Inventor : EHATA HIRONARI

## (54) PULSE GENERATOR AND ITS METHOD

## (57)Abstract:

PROBLEM TO BE SOLVED: To provide a pulse generator which performs phase changes with a unit that is smaller than a level change cycle of a clock of a frequency dividing object.

SOLUTION: A signal SK1 is a pulse string of a cycle T that is acquired by reproducing the pulse width duty of an input clock SCK. An SK11 passes through an input CK creating circuit 6 and inputted as an SK11 to a variable delay circuit 7. The circuit 7 switches an output signal level by delaying only by a delay time  $t_d$  ( $T < t_d < (2/3)T$ ) at a rise of a pulse string of the SK11 and switches again the signal level after the time  $t_d$  at a fall of the pulse string of the SK11 after the switching of this signal level. As a result, an output DSK of the circuit 7 becomes a pulse string that has three times as a long cycle as the SK11. Also, the time  $t_d$  of the circuit 7 is changed within the range based on phase data by a phase controlled current source 8 and a DAC 9 and the phase of a DSK 2 is controlled.



特開平10-190419

(43) 公開日 平成10年(1998) 7月21日

(5) Int.Cl. <sup>6</sup>	識別記号	F I
H 0 3 K 5/00		H 0 3 K 5/00 M
B 4 1 J 2/44		3/02 S
H 0 3 K 3/02		3/78
3/78		B 4 1 J 3/00 D
審査請求 未請求 請求項の数12 O L (全 13 頁)		

(21) 出願番号 特願平8-350242

(22) 出願日 平成8年(1996)12月27日

(71) 出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72) 発明者 江崎 裕也

東京都大田区下丸子3丁目30番2号 キヤ

ノン株式会社内

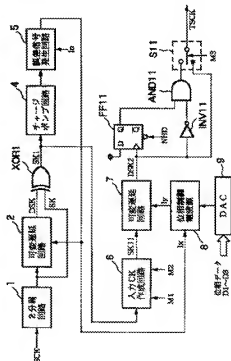
(74) 代理人 井裡士 大塚 康徳 (外1名)

## (54) 【発明の名称】 パルス発生装置及びその方法

## (57) 【要約】

【課題】 分周対象のクロックのレベル変化周期よりも細かい単位で位相変化をおこなうことが可能なパルス発生装置を提供する。

【解決手段】 信号SK1は、入力クロックSCKのパルス幅デューディを再生して得られた周期Tのパルス列である。SK1は入力CLK作成回路6を経て、SK11として可変遅延回路7へ入力される。可変遅延回路7は、SK11のパルス列の立ち上がりから遅延時間td ( $T < t_d < (2/3)T$ ) だけ遅延させて出力信号レベルを切り換え、該信号レベルの切り換え後のSK11のパルス列の立ち下がりから遅延時間td後に信号レベルを再度切り換える。この結果、可変遅延回路7の出力DSKはSK11の3倍の周期を有するパルス列となる。また、位相制御電流源8及びDAC9によって、可変遅延回路7の遅延時間tdが位相データに基づいて上記範囲で変更され、DSK2の位相が制御される。



## 【特許請求の範囲】

【請求項1】 入力クロック信号の所定数倍の周期のバ  
ルスを出力するパルス発生装置であって、

前記入力クロック信号のパルス幅デューティを再生した  
第1パルス列信号を発生するデューティ再生手段と、  
前記デューティ再生手段より出力される第1パルス列信  
号の立ち上がりから所定時間遅延させて信号レベルを切  
り換えるとともに、該信号レベルの切り換え後の前記第  
1パルス列信号の立ち下がりから所定時間遅延させて該  
信号レベルを切り換えることにより、前記第1パルス列  
信号の整数倍の周期を有する第2パルス列信号を発生す  
る発生手段とを備えることを特徴とするパルス発生装  
置。

【請求項2】 前記発生手段は、

前記デューティ再生手段より出力される第1パルス列信  
号列の立ち上がりから所定時間遅延した時点で第1の遅  
延信号を発生し、該第1の遅延信号の発生後の前記第1  
パルス列信号の立ち下がりから所定時間遅延した時点で  
第2の遅延信号を発生する遅延信号発生手段と、  
前記遅延信号発生手段で発生された第1及び第2の遅延  
信号に基づいて第2パルス列信号を生成し、これを出力  
するパルス列出力手段とを備えることを特徴とする請求  
項1に記載のパルス発生装置。

【請求項3】 前記遅延信号発生手段において、前記第  
1パルス列信号の周期を $T$ 、 $n$ を正の整数とした場合  
に、前記第1及び第2の遅延信号を発生するための遅延  
時間 $t_d$ は、 $n \times T < t_d < (n+1) \times T$ で表され、

前記パルス発生手段は、前記第1及び第2の遅延信号の  
発生に従って信号のハイレベル及びローレベルを切り換  
えることにより、周期 $(2n+1) \times T$ の第2パルス列  
信号を発生することを特徴とする請求項2に記載のパル  
ス発生装置。

【請求項4】 前記第2パルス列信号の前記第1パルス  
列に対する位相を変更するために、前記遅延時間 $t_d$ を  
 $n \times T < t_d < (n+1) \times T$ の範囲で変更す  
る変更手段を更に備えることを特徴とする請求項3に記  
載のパルス発生装置。

【請求項5】 前記変更手段は、入力された $N$ ビットデ  
ータをアナログ信号に変換する $N$ ビット $D/A$ 変換手段と、  
前記 $D/A$ 変換手段より出力されるアナログ出力に基づいて  
前記遅延時間 $t_d$ を制御する制御手段とを有することを  
特徴とする請求項4に記載のパルス発生装置。

【請求項6】 前記第1パルス列信号と、該第1パルス  
列信号を反転して得られたパルス列信号のいずれかを選  
択して第1パルス列信号として前記発生手段に供給する  
選択手段を更に備えることを特徴とする請求項1に記載  
のパルス発生装置。

【請求項7】 前記第1パルス列信号と、該第1パルス  
列信号の最初の所定周期分をマスクして得られるパルス

列信号のいずれかを選択して第1パルス列信号として前  
記発生手段に供給する選択手段を更に備えることを特徴  
とする請求項1に記載のパルス発生装置。

【請求項8】 前記遅延時間 $t_d$ が、 $t_d < n \times T$ 、あ  
るいは $t_d > (n+1) \times T$ になったことを検  
出する検出手段と、

前記検出手段の出力に応じて前記 $N$ ビット $D/A$   
変換手段の入力データを最小ビット分大きくまたは小  
さくするデータ変換手段とを更に備えることを特徴とす  
る請求項5に記載のパルス発生装置。

【請求項9】 前記発生手段は、

前記デューティ再生手段より出力される第1パルス列信  
号列のハイレベル時間の累積が所定累積時間に達した時  
点で第1の遅延信号を発生し、該第1の遅延信号の発生  
後の前記第1パルス列のローレベル時間の累積が所定累  
積時間に達した時点で第2の遅延信号を発生する遅延信  
号発生手段と、

前記遅延信号発生手段で発生された第1及び第2の遅延  
信号に基づいて第2パルス列信号を生成し、これを出力  
するパルス列出力手段とを備えることを特徴とする請求  
項1に記載のパルス発生装置。

【請求項10】 前記遅延信号発生手段において、前記  
第1パルス列信号の周期を $T$ 、 $n$ を正の整数とした場合  
に、前記第1及び第2の遅延信号を発生するための所定  
累積時間 $t_d$ は、 $n \times (T/2) < t_d < (n+1) \times (T/2)$ で表され、

前記パルス発生手段は、前記第1及び第2の遅延信号の  
発生に従って信号のハイレベル及びローレベルを切り換  
えることにより、周期 $(2n+1) \times T$ の第2パルス列  
信号を発生することを特徴とする請求項9に記載のパル  
ス発生装置。

【請求項11】 前記第2パルス列信号の前記第1パル  
ス列に対する位相を変更するために、前記遅延時間 $t_d$   
を $n \times (T/2) < t_d < (n+1) \times (T/2)$   
の範囲で変更する変更手段を更に備えることを特徴とす  
る請求項10に記載のパルス発生装置。

【請求項12】 入力クロック信号の所定数倍の周期の  
パルスを出力するパルス発生方法であって、

前記入力クロック信号のパルス幅デューティを再生した

第1パルス列信号を発生するデューティ再生工程と、

前記デューティ再生工程より出力される第1パルス列信  
号の立ち上がりから所定時間遅延させて信号レベルを切  
り換えるとともに、該信号レベルの切り換え後の前記第  
1パルス列信号の立ち下がりから所定時間遅延させて該  
信号レベルを切り換えることにより、前記第1パルス列  
信号の整数倍の周期を有する第2パルス列信号を発生す  
る発生工程とを備えることを特徴とするパルス発生方  
法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、入力されたクロック信号を加工してパルスを発生するパルス発生装置及びその方法に関する。更に詳しくは、レーザビームプリンタ等を使用される画素変調回路に適用するのに好適なパルス発生装置及びその制御方法に関するものである。

【0002】

【従来の技術】図11は奇数カウンタを用いて構成された画素変調回路を有するレーザビームプリンタの一例を示す図である。

【0003】図中フォトダイオード12は、レーザ光源としての半導体レーザ11が出力するレーザ光のモニタリングを行う。光量制御部13はモニタされた光量に基づいて半導体レーザ11への印加電流を制御し、フォトダイオード12からの出力が所定値となるように制御する。

【0004】ポリゴンミラー10は半導体レーザ11から照射されたレーザビーム1を偏光するためのものであり、モータ軸に固定された図中矢印方向への回転する。ポリゴンミラー10の回転により、ビーム1が感光ドラム20上を走査する。f-θレンズ22は偏光されたレーザビーム1を感光ドラム20上に集光するためのレンズである。

【0005】受光ダイオードからなるビームディテクタ21はレーザビーム1により感光ドラム20上の情報書き込み開始位置を検出し、水平同期信号発生回路19はビームディテクタ21の出力に基づいて水平同期信号Hsyncを発生する。

【0006】ブランキング回路18は、水平同期信号Hsyncに基づいて、次にビームディテクタ21がレーザビーム1を検出すべきタイミングで半導体レーザ11をオンさせるアンブランキング信号UNBLを発生し、これをオア回路15に供給する。尚、ブランキング信号UNBLは、Hsync発生から、実際に画素変調回路出力より半導体レーザをon/offするまでの時間内をブランキングすることにより不要なレーザ発光を防止する信号である。

【0007】また、画素変調回路17は画素変調データ発生源16より発生する画素変調データ(DV, SCK)に基づいて、水平同期信号Hsyncに同期して発生された画素クロックに同期してパルス幅変調された信号を発生する。そして、このパルス幅変調された信号(以下、画信号)もオア回路15に供給される。

【0008】オア回路15には、ブランキング回路18より供給されるアンブランキング信号UNBLと、画素変調回路17から供給されるパルス幅変調された画信号が入力される。そして、オア回路15からの出力がレーザドライバ14に与えられ、これにより前記光量制御部13によって設定された印加電流が半導体レーザ11に供給される。

【0009】尚、画素変調データ発生源16からは、水

平同期信号Hsyncに同期して発生された画素クロックに同期して例えば8ビットで画素階調を表す画素変調データが出力される。

【0010】このレーザビームプリンタで使用されている画素変調回路の一例について更に説明する。図12は画素変調回路の構成を示すブロック図である。また、図13は、図12に示した画素変調回路における各信号のタイミングを示すタイミングチャートである。

【0011】図12において、デューティ再生回路23は、水平同期信号Hsync(NHD)に同期して発生した、そのデューティがどのようになっているかわからない入力画素クロック(SCK)のデューティを再生する。奇数カウンタ24は、そのデューティの再生された信号SK1を用いて所定の奇数値分のカウントダウンを行う。図13では、SK1を3分周した信号TSCKが生成されている。三角波発生回路25は、奇数カウンタ24からの信号TSCKを用いて三角波発生回路25により、カウントダウン信号と同周期の三角波を発生する。

【0012】PWMDAC27では、画素データに基づいて、三角波のピーク・バーク間の電圧を入力画素データの値に応じて発生する。比較回路26では、三角波発生回路25よりの三角波出力と、PWMDAC27よりのDC出力とを比較することにより、画素データに応じたパルス幅の変調された信号PWMを出力する。

【0013】この画素変調回路におけるデューティ再生回路23、奇数カウンタ24には、一般に図14に示されるような回路が使用される。以下、デューティ再生回路23と奇数カウンタ24の構成及び動作を図14〜図17を参照して説明する。なお、図14は、一般的なデューティ再生回路及び奇数カウンタの構成を示すブロック図である。また、図15は、図14に示したデューティ再生回路及び奇数カウンタにおける各信号のタイミングを示すタイミングチャートである。

【0014】先ずデューティ再生回路23においては以下の動作をする。

【0015】画素クロックSCKを2分周回路1により2分周することでデューティずれの影響をなくし、信号SKを得る。次に可変遅延回路2を用いて、図15に示すように、信号SKを信号SCKの1/2周期だけ遅延させ、信号DSKを得る。ここで可変遅延回路2について更に詳しく説明する。図16は可変遅延回路の詳細な回路構成例を示す図である。この可変遅延回路2は以下のように動作する。

【0016】図16に示されている可変遅延回路において、 $R1 = R2 = R$ とすると、遅延量は $t_{D1} = R \cdot C_0 \cdot I1$ 及び $t_{D2}$ により決定され、その値はほぼ $\Delta T \approx 2 \cdot I2 \cdot R \cdot C_0 / I1 \cdots (1)$ と与えられる。

【0017】またこの回路にはV<sub>bg</sub>で表されるバンド

ギャップ電圧から作成された定電圧 $V_x$ が電源として与えられている。この $V_x$ は以下の式、

$$V_x = N * V_{bg} \dots (2) \quad *$$

$$V_{bg} = V_{be} + K * V_t$$

という関数で表される。ここで $k$ はボルツマン定数、 $q$ は素子電荷、 $T$ は絶対温度、 $K$ は定数である。 $V_{be}$ は、IC製造時のプロセスによっても変わってくるが、およそ $-2\text{mV}/^\circ\text{C}$ という温度係数をもっているため、定数 $K$ の選び方により温度変化に左右されない安定な電圧を得ることができる。このバンドギャップ電圧 $V_{bg}$ を用いて作成された $V_x$ は、温度及び電源電圧に対して安定な定電圧源となる。

【0018】この回路において、図16の入力端子 $pin$ は図15に示す信号 $SK$ が、 $nin$ にはその反転信号が入力された場合を考える。これらの入力信号に対して、図15の時刻 $t_1$ 以前における初期状態で、コンデンサ $C_0$ の端子電圧が $A_1$ 点においては図15の太線 $a_1$ 、 $A_2$ 点においては実線 $a_2$ のようなレベルであったとする。このとき( $t_1$ 以前)、トランジスタ $Q_4$ は遮断状態であり、 $A_1$ 点は開放状態である。また $pin$ が“L”、 $nin$ が“H”であるため、電流 $I_1$ は図16の(1)の様に流れ、出力 $pout$ は“L”、 $nout$ は“H”となる。

【0019】次に図15中の時刻 $t_1$ において $pin$ 、 $nin$ の極性が反転すると、 $A_2$ 点が開放状態となり、コンデンサ $C_0$ は放電をはじめ、電流 $I_1$ は図7中(1D)のように流れるようになる。このため、 $A_1$ 点の電位は下降していく。また $A_2$ 点は開放状態であるためその電位に変化は起らない。この時点では $I_2 = I_5$ である。

【0020】 $A_1$ 点の電位が下降していき、トランジスタ $Q_3$ が導通すると、ほぼ同時に $A_1$ 点の電位は $V_z = R * I_2$ だけ上昇する(図15の時刻 $t_1'$ )。この電位上昇は以下の理由による。 $A_1$ 点の電位が下降していき、トランジスタ $Q_3$ のベース、エミッタ間に電位差が生じはじめると $Q_3$ には電流が流れはじめ、トランジスタ $Q_5$ のベース電位が下降する。それにより電流 $I_5$ が小さくなり $Q_1$ のベース電位が上昇するため、トランジスタ $Q_3$ のベース、エミッタ間の電位差はさらに大きくなり、 $Q_3$ に流れる電流もさらに大きくなる。この正帰還により $I_5$ に流れていた電流がほぼ瞬時に $I_6$ に流れるようになり、トランジスタ $Q_1$ 、 $Q_5$ のベース電位が $V_z$ 上昇することで、 $A_1$ 点も同時に $V_z$ だけの電位上昇が起きる。これはトランジスタ $Q_5$ 、 $Q_6$ の漏れ電流が $I_1$ となった時( $Q_5$ のエミッタ内部抵抗を $r_{e5}$ 、 $Q_6$ のエミッタ内部抵抗を $r_{e6}$ とすると $R/(r_{e5} + r_{e6}) = 1$ )である。

【0021】またこの時、 $A_2$ 点は開放状態なので、 $A_2$ 点も同時に $V_z$ だけ電位が上昇する。この電流 $I_5$ 、 $I_6$ の反転によりトランジスタ $Q_6$ 、 $Q_10$ のベース電

\*で表される。いまトランジスタのベース、エミッタ間電圧を $V_{be}$ とすると $V_{bg}$ は、

$$(V_t = kT/q) \dots (3)$$

位は下降し、以上のことから出力 $pout$ 及び $nout$ の極性が反転する。その後電流 $I_1$ は図7中(1II)の様に流れるので $A_1$ 点及び $A_2$ 点の電位に変化は起きない。さらに図15の時刻 $t_2$ において $pin$ 、 $nin$ の極性が再び反転すると先程と全く逆の議論により、時刻 $t_2'$ において $A_1$ 点、 $A_2$ 点の電位が $V_z$ 上昇し、出力 $pout$ 、 $nout$ の極性が反転する。

【0022】このような動作を繰り返すことにより、図15に示した時刻 $t_1$ 、 $t_2 \dots$ はそれぞれ $t_1'$ 、 $t_2'$  ... まで遅延され、同図の信号 $DSK$ が得られる。即ち、入力信号 $SK$ に対して $\Delta T$ 遅れた信号 $D$ SKが可変遅延回路2から出力される。また図16において、 $Q_1 = Q_{10}$ 、 $Q_2 = Q_{7}$ 、 $Q_3 = Q_{8}$ 、 $Q_4 = Q_{9}$ 、 $Q_5 = Q_{6}$ 、 $I_3 = I_4$ である。この可変遅延回路2の遅延量は電流 $I_1$ を制御することにより変化させることが出来る。電流 $I_1$ は、デューティ再生時の微小なずれ量を誤差電流として発生する、誤差信号発生回路5の出力電流 $I_x$ により制御される。

【0023】こうして得た遅延出力 $D$ SKと2分周出力 $SK$ との排他論理和を $XOR1$ でとることにより、図15に示すような、 $SK$ と同周期でデューティの再生された信号 $SK1$ を得ることが出来る。

【0024】この信号 $SK1$ はチャージポンプ回路4に入力され、そこでデューティの微妙なずれ量が検知される。図17はチャージポンプ回路4の回路構成例を示すブロック図である。チャージポンプ回路4は図示のような構成になっており、信号 $SK1$ でスイッチ $S101$ を開閉する。スイッチ $S101$ は、信号 $SK1$ が“H”レベルでオフ、“L”レベルでオンするものである。このとき、信号 $SK1$ のデューティが等しければ、電流源 $I_{01}$ からの電流 $0$ 、 $5I_t$ と、電流源 $I_{02}$ からの電流 $I_1$ によりコンデンサ $C_1$ の電位は安定する。なお、信号 $SK1$ の“H”レベル区間が大きい場合にはコンデンサ $C_1$ は過充電となりその電位は上昇し、逆に“L”レベル区間が大きいときには過放電となるためにコンデンサ $C_1$ の電位は下降する。この電圧はバッファ $I_{03}$ を通過して誤差信号発生回路5へ出力される。

【0025】チャージポンプ出力を受ける誤差信号発生回路5は、外部からの電流 $I_0$ をもとに、 $SK1$ の“H”レベル区間が大きいチャージポンプ回路のコンデンサ $C_1$ が過充電となったときには、その出力電流 $I_x$ を大きくし、可変遅延回路2に入力することで信号 $DSK$ の遅延量を小さくするように動作する。また $SK1$ の“L”レベル区間が大きいコンデンサ $C_1$ が過放電となったときには、出力電流 $I_x$ を小さくし、信号 $DSK$ の遅延量を大きくするように動作する。

【0026】こうして正確にデューティが50%となったSK1は、奇数カウンタ24（図14参照）に入力される。この例では信号SK1の3倍周期の信号を、位相選択信号M1〜M3により、6相得ることが出来る。ここでスイッチS1、S2はその選択信号が“H”のとき○を、“L”のとき●を選択する。

【0027】いま図15の信号SK1に対して、フリップフロップFF1、FF2の出力が“L”、M1〜M3が“L”であった場合を考える。オア回路OR1からは、図15に示したSK1と同じ信号が出力される。また、FF2の出力が“L”であることから図15の時刻t1以前において排他論理回路XOR2の出力は“L”となり、時刻t1において“H”になる。このときFF1の出力は“H”、FF2の出力は“L”である。

【0028】次に時刻t1においてXOR2の出力は“L”になるが、FF1、FF2は変化しない。時刻t2において、XOR2の出力は再び“H”になり、FF2の出力が“H”（反転出力は“L”）に変化する。この変化と同時にXOR2の出力は再び“L”になり、次の信号SK1の変化を待つ。そして、時刻t2において信号SK1が“L”になると、FF1の出力が“L”に変化する。従ってXOR2は図15のXOR2に示すような動作をする。またFF1の出力は図6の信号TSCKのようになる。この信号TSCKが信号SK1の3倍周期の信号として三角波発生回路25へ出力される。なお、このときの信号TSCKは位相0°の出力である。

【0029】このときFF2はFF1より信号SK1の1周期遅れた信号が出力され、XOR3からはXOR2の反転信号が出力される。また信号M3が“H”の時にはアンド回路AND1の出力は図15のAND1のようになり、信号SK1は1周期マスクされる（図15の信号SK2）。これらの信号を用いることにより60°単位で6相の位相を持った信号を得ることが出来る。

#### 【0030】

【発明が解決しようとする課題】以上の説明から明らかなように、従来の奇数カウンタ回路では、カウンタの対象となるクロックのレベルの変化に同期した位相変化ができない。従って、例えば3クロックをカウントして3倍周期のクロックを生成する回路では、位相は60°ずつしか変化させることが出来ない。即ち、 $(2n+1)$ 倍周期のクロックを発生する回路では、 $\{360 \div (2n+1) \times 2\}$ 度ずつしか位相を変化させられない。例えばカラーブリッキングでは、色によってPWM信号の位相を変化させることにより色モアレ等の対策を講じているが、今後の技術の展開によっては更に微細な位相の変化が要求される場合もあり得る。従って、さらに多相の位相変化が求められる画像変調回路において、上記の方式では適用が困難となる。

【0031】本発明は上記の問題に鑑みてなされたもの

であり、分局対象のクロックのレベル変化周期よりも細かい単位で位相変化をおこなうことが可能なパルス発生装置及びその方法を提供することを目的とする。

#### 【0032】

【課題を解決するための手段】上記の目的を達成するための本発明のパルス発生装置は、以下の構成を備えている。即ち、入力クロック信号の所定数倍の周期のパルスを出力するパルス発生装置であって、前記入力クロック信号のパルス幅デューティを再生した第1パルス列信号を発生するデューティ再生手段と、前記デューティ再生手段より出力される第1パルス列信号の立ち上がりから所定時間遅延させて信号レベルを切り換えるとともに、該信号レベルの切り換え後の前記第1パルス列信号の立ち下がりから所定時間遅延させて該信号レベルを切り換えることにより、前記第1パルス列信号の整数倍の周期を有する第2パルス列信号を発生する発生手段とを備える。

【0033】また、好ましくは、前記発生手段は、前記デューティ再生手段より出力される第1パルス列信号列の立ち上がりから所定時間遅延した時点で第1の遅延信号を発生し、該第1の遅延信号の発生後の前記第1パルス列信号の立ち下がりから所定時間遅延した時点で第2の遅延信号を発生する遅延信号発生手段と、前記遅延信号発生手段で発生された第1及び第2の遅延信号に基づいて第2パルス列信号を生成し、これを出力するパルス列出力手段とを備える。

【0034】また、好ましくは、前記遅延信号発生手段において、前記第1パルス列信号の周期をT、nを正の整数とした場合に、前記第1及び第2の遅延信号を発生するための遅延時間tdは、 $n \times T < t_d < (n \times T + (1/2) \times T)$ で表され、前記パルス発生手段は、前記第1及び第2の遅延信号の発生に従って信号のハイレベル及びローレベルを切り換えることにより、周期 $(2n+1) \times T$ の第2パルス列信号を発生する。

【0035】また、好ましくは、前記第2パルス列信号の前記第1パルス列に対する位相を変更するために、前記遅延時間tdを $n \times T < t_d < (n \times T + (T/2))$ の範囲で変更する変更手段を更に備える。分別パルス信号列の出力において、より細かな位相制御が可能となるからである。

【0036】また、好ましくは、前記変更手段は、入力されたNビットデータをアナログ信号に変換するNビットD/A変換手段と、前記D/A変換手段よりのアナログ出力に基づいて前記遅延時間tdを制御する制御手段とを有する。

【0037】また、好ましくは、前記第1パルス列信号と、該第1パルス列信号を反転して得られたパルス列信号のいずれかを選択して第1パルス列信号として前記発生手段に供給する選択手段を更に備える。第1パルス列信号の1/2周期を単位として、第2パルス列信号の位

相の変更が可能となるからである。

【0038】また、好ましくは、前記第1パルス列信号と、該第1パルス列信号の最初の所定周期分をマスクして得られるパルス列信号のいずれかを選択して第1パルス列信号として前記発生手段に供給する選択手段を更に備える。第1パルス列の1周期を単位として第2パルス列信号の位相を変更することが可能となるからである。

【0039】また、好ましくは、前記遅延時間  $t_d$  が、 $t_d < n \times T$ 、あるいは  $t_d > (n \times T + (T/2))$  になったことを検出する誤動作検出手段と、前記誤動作検出手段の出力に応じて前記  $N$  ビット  $D/A$  変換手段の入力データを最小位ビット分大きくまたは小さくするデータ変換手段とを更に備える。誤動作を防止したパルス発生装置を提供できるからである。

【0040】また、好ましくは、前記発生手段は、前記デューティ再生手段より出力される第1パルス列信号のハイレベル時間の累積が所定累積時間に達した時点で第1の遅延信号を発生し、該第1の遅延信号の発生後の前記第1パルス列のローレベル時間の累積が所定累積時間に達した時点で第2の遅延信号を発生する遅延信号発生手段と、前記遅延信号発生手段で発生された第1及び第2の遅延信号に基づいて第2パルス列信号を生成し、これを出力するパルス列出力手段とを備える。コンデンサの放電時間を利用して、遅延回路を形成できるからである。

【0041】また、好ましくは、前記遅延信号発生手段において、前記第1パルス列信号の周期を  $T$ 、 $n$  を正の整数とした場合に、前記第1及び第2の遅延信号を発生するための所定累積時間  $t_d$  は、 $n \times (T/2) < t_d < ((n+1) \times (T/2))$  で表され、前記パルス発生手段は、前記第1及び第2の遅延信号の発生に従って信号のハイレベル及びローレベルを切り換えることにより、周期  $(2n+1) \times T$  の第2パルス列信号を発生する。

【0042】また、好ましくは、前記第2パルス列信号の前記第1パルス列に対する位相を変更するために、前記遅延時間  $t_d$  を  $n \times (T/2) < t_d < ((n+1) \times (T/2))$  の範囲で変更する変更手段を更に備える。

【0043】また、本発明によれば、上述した構成によって実行されるパルス発生方法が提供される。

【0044】

【発明の実施の形態】以下、添付の図面を参照して本発明の好適な一実施形態を説明する。

【0045】【実施形態1】本実施形態においても、上述の図1で説明したようなレーザビームプリングの画像変調回路17に適用可能なデューティ再生回路と奇数カウンタを説明する。

【0046】図1は第1の実施形態におけるデューティ再生回路及び奇数カウンタの構成を表すブロック図であ

る。本実施形態における奇数カウンタは、可変遅延回路の遅延量制御電流を、遅延回路として使用するときよりも小さくすることで、入力信号の1つの“H”または“L”レベル区間内で放電を完了させないよう動作させる。これにより、今までとは全く異なる概念の奇数カウンタが実現でき、遅延量制御電流の制御により非常に細かい範囲で出力信号の位相制御を行うことが可能となる。なお、位相の制御は位相選択信号  $M1 \sim M3$  及び位相データ  $D1 \sim D3$  を用いて行う。以下図1及び図2を用いて、入力クロック信号を1/3カウントダウンする際の動作を説明する。図2は第1の実施形態における各信号のタイミングを示すタイミングチャートである。

【0047】図1において2分周回路1、可変遅延回路2、XOR1、チャージポンプ回路4、誤差信号発生回路5からなる部分は、入力クロック  $CLK$  のデューティ再生回路であり、これらは図14で上述したデューティ再生回路23と同様の動作をする。また、図2において、NHDは水平同期信号、SKはデューティが不明な入力クロック信号、SKは  $CLK$  の2分周出力信号、DSKは可変遅延回路2で  $CLK$  を1/2周期遅延して得られる信号であり、図15で説明したものと同じである。

【0048】図1のXOR1から出力されるSK1は、図14のSK1と同じ信号であり、入力クロック  $CLK$  と同じ周期を有する、デューティ比が等しいクロック信号である。

【0049】ここで得られたデューティの等しい信号SK1はまず入力CK作成回路6に送られる。図3は入力CK作成回路の構成を表すブロック図である。同図に示されるように、入力CK作成回路6には信号SK1及び位相選択信号  $M1$ 、 $M2$  が入力されている。ここでは位相選択信号  $M1$ 、 $M2$  によりSK1の反転、非反転及びマスクの有無を選択して図2の信号  $SK1 - a \sim SK1 - c$  (以下、これらの信号を総称してSK11という)を得る。なお、図3のスイッチS31、S32は、制御信号がLの場合は●に、Hの場合は○に接続される。

【0050】いま図3において  $M1$ 、 $M2$  が“L”であった場合、入力CK作成回路6からは図2の信号SK11-aが信号SK11として出力され、これが可変遅延回路7の入力となる。なお、信号SK11-aは、信号SK1と同じものとなる。

【0051】可変遅延回路7は、上述の図16と同様の回路構成を有し、1x端子に供給される遅延制御電流によってその遅延量が可変となっている。可変遅延回路7において、遅延量制御電流がSK11の1/2周期の遅延量を得る電流よりも小さい場合（即ち、遅延量がSK11の1/2周期よりも大きい場合）、図2のa1に示される信号が可変遅延回路7のコンデンサC0端（図16参照）より得られる。

【0052】この現象は以下の理由による。図16の回路において、pin、ninの極性が変化した時点でコンデンサC<sub>0</sub>は(II)のように放電を始めるが、電流I<sub>1</sub>が小さいために、次に極性が変化した時点でも放電しきらない。従ってA1点は放電の途中で解放状態となり、再びpin、ninの極性が反転したときに再び放電を始める。即ち、図2のt1〜t2間と、t3〜t4間に跨って放電が行われる。こうして放電が終了したときにA1、A2点は夫々V<sub>z</sub>(=R・I<sub>2</sub>)だけ電位が上昇する。

【0053】以上の動作を繰り返すことにより、可変遅延回路7の出力には、図2のDSK2ように入力クロックTSCCKの3倍周期の信号が出力される。また遅延量制御電流を制御することにより、出力信号の位相は、t<sub>3</sub>'からt<sub>3</sub>'までの間を任意に変化できる。さらに遅延量制御電流を、t<sub>3</sub>'を得る電流より、小さくすることで、カウント値が3のみならず、5や7等の奇数カウンタを実現できる。なお、本例ではM3がLであるの

$$\Delta T = (T/2 + 11T/24) = 23T/24 \dots (5)$$

までの遅延量をT/12単位で得れば良いことになる。

このとき遅延量制御電流I<sub>y</sub>は  
 $I_y = 2 \cdot I_2 \cdot R \cdot C_0 / \Delta T \dots (6)$   
 となる。

【0056】これらの電流は、誤差信号発生回路5から得られた電流I<sub>x</sub>をもとにDAC9からのデータに応じて、位相制御電流源8より得る。この電流I<sub>x</sub>は可変遅延回路2を制御し、SK1のデューティが50%となるような電流になるので、この電流I<sub>x</sub>をもとに位相制御電流源8の電流値を決定することで、可変遅延回路2の遅延量制御電流I<sub>y</sub>を正確にコントロールすることが出来る。このとき $\Delta T = 13T/24$ となる遅延量制御電流I<sub>1</sub>により得られた出力TSCCKの位相を0°とする。

【0057】この制御によりSK1の1/2周期、即ちTSCCKの1/6周期内を10°単位で6分割することが出来る。また入力CLK作成回路6によりSK1をSK11-a、SK11-b、SK11-cを出力するように制御することで、TSCCKを0°〜180°まで10°単位で位相をずらすことが出来る。さらに180°以降においては、図1のFF11、INV11、AND1を用いることにより可変遅延回路7の出力を反転し、その最初の1クロックをマスクすることで同様に180°〜360°まで10°単位で位相のずれた信号を得ることが出来る。

【0058】ここで、M3はスイッチS11を制御して0°〜180°までと180°〜360°までを切り替える。また、図2のDSK2'はDSK2を180°ずらしたときの信号TSCCK出力である。

【0059】このようにして、入力クロックを1/3カウンタダウンして、その1周期中を10°単位で位相変

\*で、スイッチS11は●側に接続され、信号DSK2がそのまま信号TSCCKとして出力されている。

【0054】この遅延量制御電流は位相制御電流源8を用いることで得られる。位相制御電流源8は、可変遅延回路7に遅延量制御電流I<sub>y</sub>を出力し、可変遅延回路7の遅延量を制御する。遅延量制御電流I<sub>y</sub>は、例えばDAC9を用いてデジタル的に制御する方法が考えられる。ここでは位相データD1〜D3の1(hex)から6(hex)の6データを用いて、t<sub>3</sub>'からt<sub>3</sub>'の10位相可変範囲内を6分割するように遅延量制御電流I<sub>y</sub>を制御する方法を説明する。

【0055】まず可変遅延回路7における遅延量は

(1)式により求められる。図4に図2のコンデンサC<sub>0</sub>の端子電圧(a1もしくはa2)の時刻t1からt4間での拡大図を示す。この図より1/3カウンタダウン時には、

$$\Delta T = (T/2 + T/24) = 13T/24 \dots (4)$$

から  
 $\Delta T = (T/2 + 11T/24) = 23T/24 \dots (5)$   
 化させることの出来る奇数カウンタを実現できる。なお、遅延量制御電流I<sub>y</sub>を更に細かく制御することで、位相変化量も更に細かく制御出来ることは明らかである。

【0060】以上説明したように、上記第1の実施形態によれば、可変パルス遅延回路を用いて入力クロック信号の(2n+1)(n:正の整数)倍周期の信号を得る奇数カウンタを容易に構成することが可能となる。

【0061】【実施形態2】実施形態1に示した回路構成では回路パワツキ等により1/3カウンタ用の可変遅延回路の遅延量制御電流I<sub>1</sub>が図11におけるt<sub>3</sub>'を得る電流よりも大きくなってしまった場合には、可変遅延回路7の出力はその入力クロックSK11と同周期になり、逆にt<sub>3</sub>'を得る電流よりも小さくなってしまった場合にはSK11の5倍周期の信号となって出力されてしまう。そこで、図5に示すような回路構成として、このような事態に対応する。

【0062】この回路は、NHD立ち上がり直後に誤動作検出期間を設け、まず遅延量制御電流I<sub>y</sub>を最小遅延量を得る値にする。この結果、可変遅延回路7の出力が入力クロックと同周期となっている場合、即ち遅延量が小さい場合には位相データを1つ大きくすることで遅延量を大きくする。次に遅延量制御電流I<sub>y</sub>を最大遅延量を得る値にし、この結果、可変遅延回路7の出力が入力クロックの5倍周期であった場合には、位相データを1つ小さくして遅延量を小さくするように回路を動作させる。

【0063】図5は第2の実施形態におけるデューティ再生回路及び奇数カウンタの構成を表すブロック図である。同図において、誤動作検出回路29は、信号DSK2が信号SK11の1倍周期もしくは5倍周期となつて



いるか否かを検知する。また、マスク回路28は、入力CK作成回路6より出力されたクロック信号SK11をある期間マスクして信号SK12を生成し、これを可変遅延回路7の入力クロックとして提供する。データ変換回路30は、駆動動作検出回路29よりの信号に基づいて位相データD1'~D3'を発生する。なお、図5中の各回路は、上述の追加回路(駆動動作検出回路29、マスク回路28、データ変換回路30)以外は実施形態1と同様の動作をする。

【0064】図6は駆動動作検出回路29の構成を示すブロック図である。図6に示されるように、入力CK作成回路6よりの出力信号SK11、可変遅延回路7よりの出力信号DSK2及び水平同期信号NHDが入力されている。ここでは、カウンタ動作する可変遅延回路7の遅延量制御電流が所望値より大きすぎ、または小さすぎたときに起こる可変遅延回路7の誤動作を検出する。

【0065】図7はマスク回路28の詳細な構成例を表すブロック図である。マスク回路28には入力CK作成回路6よりの出力信号SK11、駆動動作検出回路29よりの出力信号ds1、ds2、MSK1が入力されている。ここでは可変遅延回路7のカウント値に誤動作が発生したときに、可変遅延回路7の入力クロックSK11をある期間マスクすることで、可変遅延回路7の出力を所定の位相にするものである。

【0066】図8はデータ変換回路30の構成を示すブロック図である。図8に示されるように、駆動動作検出回路28よりの各種信号MSK1、MSK2、ds1、ds2に基づいて、位相データD1'~D3'を変換し、新たな位相データD1'~D3'として出力する。

【0067】以上のような回路構成を備えた第2の実施形態の奇数カウンタ部の動作を図9及び図10のタイミングチャートを用いて説明する。図9及び図10は第2の実施形態における回路動作のタイミングを表すタイミングチャートである。ここでも位相データはD1'~D3'のうちの1(hex)から6(hex)を使用する。なお、図9において、(a)、(b)に示される信号NH D、SK11-aは、前述の図2と同じ信号である。

【0068】データ変換回路30は、NHDの入力と共に入力データを強制的に1(hex)にして可変遅延回路7の最少遅延時の動作を確認し、ついで、入力データを強制的に6(hex)にして可変遅延回路7の最大遅延時の動作を確認する。まず、データ変換回路30が入力データを強制的に1としたとき、可変遅延回路7の出力が正常であれば、時刻t1からt7において可変遅延回路7内のコンデンサC0の両端部の電圧(a1、a2)及び、可変遅延回路7の出力(DSK2)は、図9の(c)、(d)のようになる。同様に、データ変換回路30が入力データを強制的にEとしたとき、可変遅延回路7の出力が正常であれば、時刻t7からt13において可変遅延回路7内のコンデンサC0の両端部の電圧

(a1、a2)及び、可変遅延回路7の出力(DSK2)は、図9の(c)、(d)のようになる。

【0069】まず、回路素子のパワツキ等により可変遅延回路7において、位相データが1のときに13T/24の遅延量が得られず、図9の(e)、(f)の時刻t1~t2のように、入力クロックと同周長の信号を出力するよう可変遅延回路7が動作してしまった場合を考える。

【0070】まず駆動動作検出回路29(図6)において、SK11として図9の(b)がDSK2として図9の(f)の信号が入力される。ここでFF61により図9の(g)に示す信号LSK1が得られる。更に、FF62において、(g)の信号をDSK2の立上がりエッジでラッチすることによりFF62の出力は“L”から“H”になる。そして、これをFF63のクロック入力とすることで、NHDが“H”の間はds1は“H”を保つ。またMSK1、MSK2は信号DSK2の2つめの立ち下がり、1つめの立ち下がりでありそれぞれ“L”から“H”になる信号を出力する。

【0071】このds1はデータ変換回路30(図8)に入力されている。データ変換回路30では、スイッチS81からS86により、D1'~D3'は、DSK2の最初の立ち下がりまでは1(hex)を、DSK2の最初の立ち下がりから2番目の立ち下がりまでは6(hex)を出力する。そしてds1が“H”の時には加算回路81によりD1'~D3'は2(hex)となる。これをDAC9に入力することによりその出力は1データ大きな値となり、位相制御電流源8において可変遅延回路7の遅延量制御電流Iyがその分小さくなるような電流が流れ、この結果可変遅延回路7における遅延量がT/12だけ大きくなる。これにより可変遅延回路7はds1が“H”になると同時に1/3カウント状態に戻るので、コンデンサC0の両端電圧a1、a2及び信号DSK2は、図9の(e)、(f)の時刻t2以降に示されるように正常動作を行なうようになる。この後データ変換回路30は、入力された位相データD1'~D3'に対して、常に加算回路81によって1つ加算し、得られたデータをD1'~D3'として出力するようになる。

【0072】次に信号DSK2の立ち上がりエッジで、データ変換回路30においてD1'~D3'を強制的に6(hex)にする。このときD1'~D3'は、加算回路81による加算が施されるので7(hex)となる。ここで位相制御電流源8でDAC9からの出力に応じた電流が得られていれば、可変遅延回路7の出力は5T/12だけずれることになる。可変遅延回路7が正常動作をすると、コンデンサC0の電圧a1、a2は図9の(e)の時刻t6からt10'のようになる。

【0073】しかしこのままでは正常時のTSCK信号(d)と比べて位相がずれているので、これをマスク回路28(図7)を用いて補正する。マスク回路28は、

正常動作時には、SK11はそのままSK12として出力される。図中MKにはMSK1とそれをSK11の2分周信号の立上がり、又は立ち下がりでラッチした信号との排他論理和が出力される。ds1が“H”の時には、信号MKは、図9の(h)のようになる。この信号MKにより信号SK11をマスクすることで、可変遅延回路7が時刻t10'でリセットされた後はコンデンサC0の両端部はその状態を保持する。そしてマスク解除後のSK11の最初の立上がりエッジ(t13)で再び充電が始まる。このときの可変遅延回路7の出力TSCKの位相は正常動作時と同じである。

【0074】一方、位相データが最少のときは正常動作をしていたが、最大としたときに誤動作をした場合を、図10のタイミングチャートを参照して検討する。なお、図10における(a)～(d)の各信号は、図9の(a)～(d)と同じ信号である。

【0075】図10の(e)、(f)に示されているように、位相データが最少の場合は正常動作が行われている(時刻t1～t7)。しかしながら、位相データを最大とした場合に、所定サイクルでコンデンサC0の放電が完了しないと、可変遅延回路7のコンデンサC0の両端電圧(a1, a2)及びその出力(DSK2)は図10の(e)、(f)における時刻t7～t11'のようになる。この場合誤動作後出力回路29のLSK2には図10の(g)に示される信号が出力される。これをDSK2でラッチすると、図10の時刻t11～t12の間にDSK2の立上がりエッジがあるとき、すなわち誤動作している時に、FF66の出力は“L”から“H”に変化する。これをFF67のクロック入力とすることでds2は“H”になり、これが可変遅延回路7の最大遅延時の誤動作検出信号ds2となる。このds2をデータ変換回路30に入力することで、減算回路82によりD1'～D3'が6(hex)であったものが、D1'～D3'で5(hex)となる。

【0076】これによりDAC9の出力は1データ小さな値となり、位相制御電流源8において、可変遅延回路7の遅延量制御電流Iyがその分小さくなるような電流が流れ、遅延量がT/12だけ小さくなる。このようにして、ds2が“H”になると同時に可変遅延回路は1/3カウント状態に戻る。図10の(e)、(f)は時刻t11'以降のように正常動作を行なう。この後データ変換回路ではD1～D3に入力された位相データは常に減算回路82によって1データの減算が行われる。

【0077】また、図9で説明したのと同様に、この場合も正常時のDSK2信号に対して位相がずれる(図10の(d)、(f)参照)。このときマスク回路28では、図10の(h)の信号が出力され、これが“L”の間SK11をマスクする。この結果、可変遅延回路7が時刻t14'でリセットされた後は、コンデンサC0の

両端はその状態を保持する。そしてマスク解除後のSK11の最初の立上がりエッジ(t19)で再び充電が始まる。このときの出力TSCKの位相は正常動作時と同じである。

【0078】また位相制御電流源8でDAC9からの出力に応じた電流が得られていれば、可変遅延回路7の出力は、位相データが1(hex)となったときには、5T/12だけずれることになるので、この場合に異常動作することは無い。

【0079】以上のように、誤動作が発生した場合にDSK2の位相が正常動作時と揃うのは、図9及び図10の時刻t19においてである。従ってNHDの立ち上がり後、この時刻以降の信号が使用可能となる。従って、レーザビームプリンタにおいては、各水平走査において、t19以降から描画を開始するようにすればよい。

【0080】またこの回路構成ではSK11が図2のSK11-b、SK11-cのように位相がずれた場合でも上述と同様の動作によりそれぞれの位相で所望の値を得ることができる。また図5のFF51, AND51, AND52及びINV51により、図2のSK11-a～SK11-cによって作成したDSK2の位相がそれぞれ180°ずれた信号を得ることが出来る。

【0081】以上説明したように、上記第2の実施形態によれば、内部素子及び外部素子のバツキにより、誤動作することの無い奇数カウンタを容易に構成することが可能となるという効果がある。

【0082】なお、本発明は、複数の機器(例えばホストコンピュータ、インタフェイス機器、リーダー、プリンタなど)から構成されるシステムに適用しても、一つの機器からなる装置(例えば、複写機、ファクシミリ装置など)に適用してもよい。

【0083】

【発明の効果】以上説明したように、本発明によれば、分周対象のクロックのレベル変化周期よりも細かい単位で位相変化をおこなうことが可能となり、容易に多相の位相変更を行える。

【0084】

【図面の簡単な説明】

【図1】第1の実施形態におけるデューティ増大回路及び奇数カウンタの構成を表すブロック図である。

【図2】第1の実施形態における各信号のタイミングを示すタイミングチャートである。

【図3】入力CK作成回路の構成を表すブロック図である。

【図4】図2のコンデンサC0の端部電圧(a1もしくはa2)の時刻t1からt4間での動作タイミングの拡大図である。

【図5】第2の実施形態におけるデューティ再生回路及び奇数カウンタの構成を表すブロック図である。

【図6】誤動作検出回路29の構成を示すブロック図で

ある。

【図7】マスク回路28の詳細な構成例を表すブロック図である。

【図8】データ変換回路30の構成を示すブロック図である。

【図9】第2の実施形態における回路動作のタイミングを表すタイミングチャートである。

【図10】第2の実施形態における回路動作のタイミングを表すタイミングチャートである。

【図11】奇数カウンタを用いて構成された画素変調回路を有するレーザビームプリンタの一例を示す図である。

【図12】画素変調回路の構成を示すブロック図である。

【図13】図12に示した画素変調回路における各信号のタイミングを示すタイミングチャートである。

【図14】一般的なデューティ再生回路及び奇数カウンタの構成を示すブロック図である。

\* 【図15】図14に示したデューティ再生回路及び奇数カウンタにおける各信号のタイミングを示すタイミングチャートである。

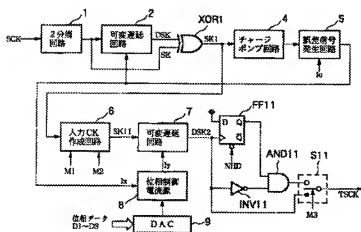
【図16】可変遅延回路の詳細な回路構成例を示す図である。

【図17】チャージポンプ回路4の回路構成例を示すブロック図である。

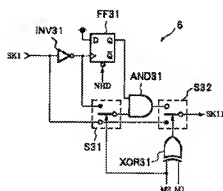
【符号の説明】

- 1 2分周回路
- 2, 7 可変パルス遅延回路
- 4 チャージポンプ回路
- 5 誤差信号発生回路
- 6 入力CK作成回路
- 8 位相制御電流発生回路
- 9 D/Aコンバータ
- 28 マスク回路
- 29 誤動作検出回路
- 30 データ変換回路

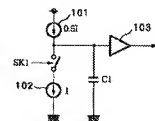
【図1】



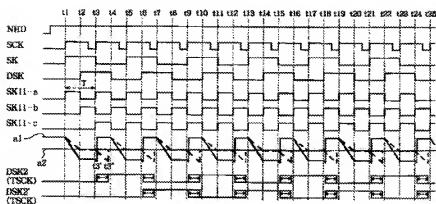
【図3】



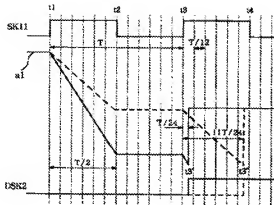
【図17】



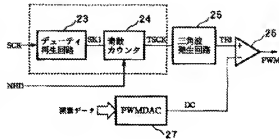
【図2】



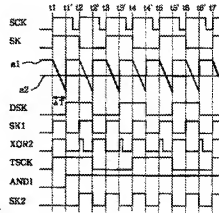
【図4】



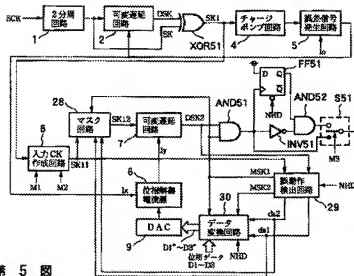
【図12】



【図15】

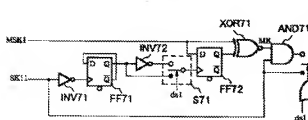


【図5】

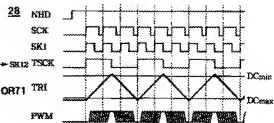


第 5 図

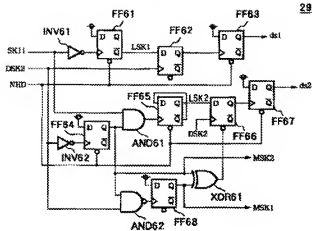
【図7】



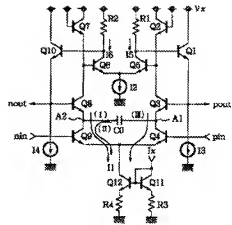
【図13】



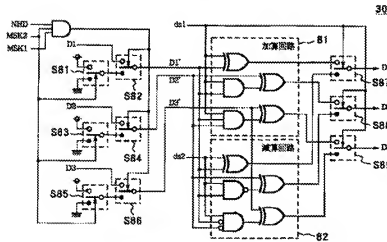
【図6】



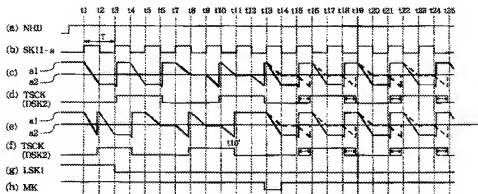
【図16】



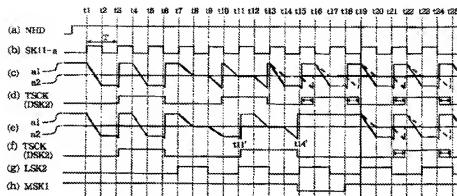
【図8】



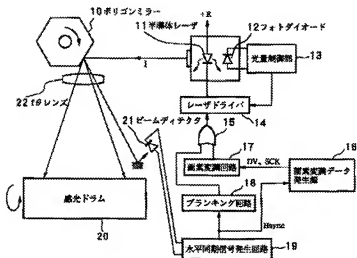
【図9】



【図10】



【図11】



【図14】

